

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200120

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/20

H01L 21/304

(21)Application number : 09-002717

(71)Applicant : SHARP CORP

(22)Date of filing : 10.01.1997

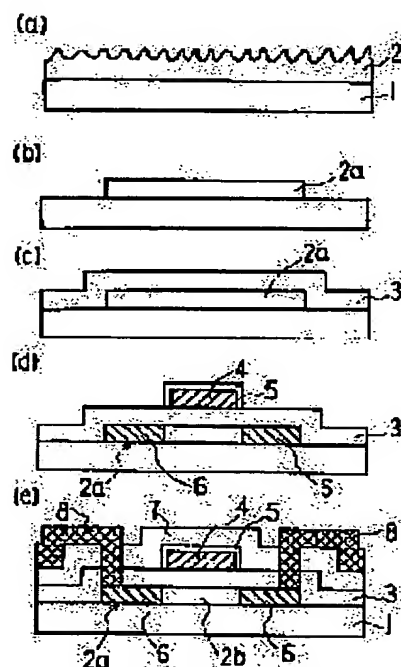
(72)Inventor : SHIBUYA TSUKASA
MOROSAWA NARIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make a device strong against injection of hot electrons and reduce leakage current by providing the process where a surface irregularity of poly Si film is reduced with the polishing process after laser annealing.

SOLUTION: An amorphous Si film is formed by 100nm or less on an insulating substrate 1, then it is annealed to provide a poly Si film 2. Then, the poly Si film 2 is crystallized by laser annealing and is polished to flatten its surface. Here, the film thickness of the poly Si film is 30-50nm, while an average roughness of surface irregularity 1nm or below. Then, the obtained poly Si film 2 is etched to form a desired island, with a poly Si film 2a, after polishing, formed. Thus, the electric field concentration on a poly Si surface is reduced by flattening the poly Si surface, making it strong against injection of hot electrons to a gate insulation film, so a leakage current is reduced for a TFT of high reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本國特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号 特開平10-200120 (43) 公開日 平成10年(1998) 7月31日

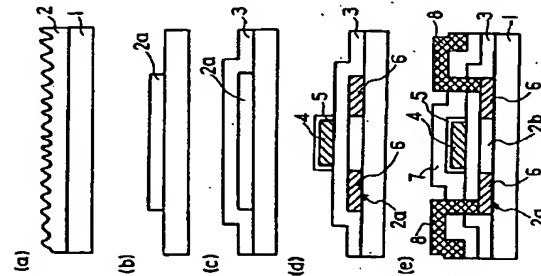
(51) Int.Cl. ⁸ H01L 29/786 21/338 21/20 21/304	識別記号 3 2 1	特願平9-2717 平成9年(1997)1月10日	(71)出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町2番22号 (72)発明者 校谷 司 大阪府大阪市阿倍野区長池町2番22号 シ シャープ株式会社内 (73)発明者 緒沢 成浩 大阪府大阪市阿倍野区長池町2番22号 シ シャープ株式会社内 (74)代理人 弁理士 梅田 勝
PI H01L 29/78 21/20 21/304 29/78	6 2 7 G 3 2 1 S 6 1 8 D 6 2 7 Z	審査請求 未請求 請求項の数 3 OL (全7頁)	

(54) 【発明の名称】
半導体装置の製造方法

【附註】(65)

【課題】 レザーアニールによって得られるポリSⅠ膜は表面性が悪い。表面研削によって平坦性を向上させ、平坦化したポリSⅠ膜をチャネルに用いること、優れたTFT特性とキャリア注入のない信頼性の優れた半導体装置を得る。

【解決手段】 レーザーアニールによって得られたポリシリド膜を炭素研削処理することで、膜厚を30nm～500nmにし、ポリシリド膜表面の平均面粗さ(Ra)を1nm以下にする。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成したポリSi膜をチャネルとして用いる半導体装置の製造方法において、前記絶縁性基板上にアモルファスSi膜を100nm以下に形成する工程と、

向配アモルファスSi膜をレーザアニールによって多結晶化してポリSi膜とする工程と、

前記ポリ Si 膜の表面凹凸を研磨処理により低減する工

【請求項2】 前記表面凹凸を低減したポリSi膜の膜厚を30nm~50nmにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記表面凹凸を低減したポリSi膜表面平均面粗さ(Ra)を1nm以下にしたことを特徴とする請求項1または2記載の半導体装置の製造方法。

【発明の詳細な説明】

100011

【発明の属する技術分野】本発明は半導体装置の製造方法に関する。より詳細には低温プロセスで製造することのできる絶縁ゲート型半導体装置の製造方法に関する。

[0002]

【従来の技術】近年、ディスプレイやイメージセンサ等において、コストの低減化を図るべく安価なガラス基板上に薄膜部分に導電ランジスタ（以下、TFTと略す）を有する半導体装置を製作することが要求されている。このガラス基板を使用する場合は、基板を軟化温度を考慮して600℃程度の低温プロセスが必要になる。

【0003】例えば、TFTのチャネル半導体層にポリシリ膜を用いた場合、そのTFTの製造時の熱処理温度は約600℃以下である。この際、ポリシリ膜を作製するために、低温成膜が可能なレーザエアーニール法を用いられている。

00004) レザーアニール法としては、例えは特公 118443 号公報に示されている。これは、非晶質基板の上に膜厚 10nm~100nm のアモルファス Si 膜を形成した後、アモルファス Si 膜表面において吸収される波長 100nm~400nm の短波長パルスレーザー光を照射し、そのレーザー光がアモルファス Si 膜の極表面のみで吸収され、その後熱伝導によってアモルファス Si 膜の内部が溶けて再結晶化し、或いはアモルファス Si 膜の内部が溶けて再結晶化し、或いはアモルファス Si 膜の結晶粒が大きくなることによりアモルファス Si 膜の多結晶化の熱処理を行うものである。

【0006】この方法によれば、アモルファスSi膜の表面のみが瞬時に熱せられるため、基板への熱の影響及びにくくなり、基板の変形を起こすことなく、アモルファスSi膜を局部的に結晶化できるため、基板としてガラス基板のような低熱膨張性基板を用いることが、この低熱膨張性基板上に形成したアモルファスSi膜の熱的結晶化が可能となる。

100081

【発明の解決しようとする課題】しかしながら、上記方法で去来法で作製されたポリシリ膜は急速加熱による結晶化のため、膜面凹凸が大きくなり、TFT特性に悪影響を及ぼす。例えば、しきい値の変動、リーク電流の増加、耐圧の低下等を招く。また、これらの膜面凹凸がゲート絶縁膜の下のポットエレクトロントランジスタとなるため、素子の信頼性に対していても問題となる。

【0007】一方、上記方法で作製されたポリS1膜の急速凍結乾燥による結晶化のため表面凹凸を平坦化する方法が、特開平6-163588号公報に示されている。この方法には、線状基材上にポリS1膜を数 μm の膜厚で形成しておき、このポリS1膜の表面の数十nmの凹凸を、コロidalシリカ等の研磨剤を用いて、研磨布を回転させ、ポリS1膜の表面を化学的機械的に鏡面研削して、表面が平坦なポリS1膜を得るものである。

【0008】しかしこの方法では、最初にポリSi膜を、 $10\mu\text{m}$ の膜厚に形成しておき、化学的機械的研磨によって、最終的には表面が平坦なポリSi膜を数 μm の膜厚に形成している。このため、最初にポリSi膜を数 μm の膜厚に形成した際に、ポリSi膜の結晶状態が、表面方向に分布を生じることになる。よって、ポリSi膜の表面と面内とで化学的機械的に研磨して、表面が平坦なポリSi膜を得たとしても、ポリSi膜の結晶状態が悪く、これによってTFT特性が劣化するという問題があった。

【0009】本発明は、このような問題に鑑みながら、レーザアブレーションの後に研削処理を行い、凹面凹凸を低減して特性を向上させた半導体装置の製造方法および凹面凹凸の低減によりホットエレクトロンの注進に対して強くした信頼性の優れた半導体装置を得る製造方法を提供することを目的としている。

000101

【課題】問題を解決するための手段】本発明の請求項1記載の工程を解決するための手段。本発明の請求項1記載の工程は、絶縁性基板に形成したポリシリコン層をチャネルとして用いる半導体装置の製造方法において、前記絶縁性基板上にモルファスSi膜を10nm以下に形成する工程と、多結晶化してポリシリコンと前記ポリシリコンによって多結晶化したポリシリコンと、前記ポリシリコンの表面凹凸を研削処理による平坦化する工程を備えることを特徴としている。

【0011】本発明の請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法であって、前記表面凹凸を低減したポリSi膜の膜厚を30nm～50nmにしたことを特徴としている。

【0012】本発明の請求項3記載の半導体装置の製造方法は、請求項1または2記載の半導体装置の製造方法であって、前記環状凹凸を低減したポリSi膜表面の平面粗さ(Ra)を1nm以下にしたことを特徴とする。

(3)

【0013】以下、上記構成による作用を説明する。

【0014】本発明の絶縁性基板上にポリSi膜をチャネルとして用いる半導体装置の製造方法は、前記絶縁性基板上にアモルファスSi膜を100nm以下に形成する工程と、前記アモルファスSi膜をレーザアニールにより多結晶化してポリSi膜とする工程と、前記ポリSi膜の表面凹凸を研削処理により低減する工程を繰り返して、レーザ結晶化時の結晶粒の粗度を制御すること、さらに研削により平坦化したポリSi膜をチャネルに用いることで、TFTのS係数を小さくすることができ、優れたTFT特性を得ることができる。また、ポリSi膜の平坦化によりポリSi膜表面での電界集中を低減することで、ゲート絶縁膜へのホットエレクトロンの注入に対して強くなるため、リーク電流を低減し、信頼性の優れたTFTを得ることができる。

【0015】また、前記表面凹凸を低減したポリSi膜は、膜厚を30nm以上にすることにより、ソース領域及びドレイン領域の低抵抗化が可能になり、膜厚を50nm以下にすることにより、レーザアニールによる優れた結晶性を得ることができるので、ポリSi膜の膜厚は30nm～60nmにすることが好ましい。

【0016】また、前記表面凹凸を低減したポリSi膜は、表面凹凸の平均面粗さ(Ra)を1nm以下にしたことで、TFTのS係数を著しく低減することができる。さらに、ゲート電圧の印加の際に、ポリSi膜表面での電界集中を抑制し、ゲート絶縁膜へのホットエレクトロンの注入を抑制する効果がある。よって、TFTのON電圧を小さくでき、TFTのリークを防止することができ。

【0017】また、絶縁性基板上に、アモルファスSi膜を100nm以下に形成すると、レーザアニールによって、膜厚方向に対してもグレインサイズが大きくなり結晶化することができ、さらに、ポリSi膜の表面を研削処理により膜厚を30nm～60nmにし、表面凹凸の平均面粗さ(Ra)を1nm以下にするので、研削処理後のポリSi膜の結晶状態も研削前と同様にグレインサイズが大きく均一に渡ってあり、よって、TFTの移動度を大きくすることができ、TFT特性を良好にすることができ。さらにポリSi膜が平坦化されているため、ポリSi膜表面での電界集中により発生するホットエレクトロンのゲート絶縁膜への注入を抑制することができる。よって、リーク電流の低減およびゲート絶縁膜の電圧の低下を抑制し、信頼性の高いTFTを得ることができる。

【0018】また、絶縁性基板上に、ポリSi膜を膜厚が30nm～60nmで形成し、前記ポリSi膜の表面凹凸の平均面粗さ(Ra)を1nm以下にし、前記ポリSi膜をチャネルとして半導体装置を構成したので、ポリSi膜は、結晶状態に渡れ、表面状態が平坦化されて

いるため、素子特性及び信頼性に優れた半導体装置を得ることができる。さらに、この半導体装置を適用した液晶表示装置においては、画素スイッチング特性の向上、周辺駆動回路を構成するTFTの高性能化及び高集積化を図ることができ、ドライバモジュール型の液晶表示装置においても高性能化することができ。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0020】図1(e)に本発明の実施の形態の一つであるTFTの断面を示す。このTFTは、チャネル半導体としてのポリSi(多結晶Si)膜を用いたTFTである。また、以下の実施の形態ではTFTについて説明するが、後述するソース、ドレインの形成を行わないことにより、ただ単にキャパシタのゲート絶縁膜として用い得ることは明白である。さらに、ゲート絶縁膜下にVth等を調整するため適宜不純物を上記ポリSi膜に導入することも可能である。

【0021】絶縁性基板1上にチャネル領域2b、ソース領域2a及びドレイン領域2cを有する研削処理後のポリSi膜2aが島状に形成され、その上を覆うようにゲート絶縁膜3が形成されている。このゲート絶縁膜3はF原子を含むSiO₂膜からなっている。その上には、チャネル領域2bと対向するようにゲート電極4及びゲート電極4の両端に形成されている。この上には、引き出し電極8が形成され、ゲート絶縁膜3及び層間絶縁膜7に形成されたコンタクトホール部においてソース領域6及びドレイン領域6と電気的に接続されている。

【0022】次に、本発明の実施の形態に係るTFTの製造方法を図面に基づいて説明する。

【0023】まず、図1(a)に示すように、絶縁性基板1上にポリSi膜2を形成する。この実施の形態では、約600℃の熱処理に置かれるような点温度で高いガラスを用いて、この上にプラズマCVD (Chemical Vapor Deposition) 法により約300℃の基板温度でアモルファスSi膜(図示せず)を膜厚が50nm程度になるように形成した。この度400℃、レーザパワー約250mJ/cm²程度のアニールしてポリSi膜2とした。ここで、原子力顕微鏡(AFM)により、ポリSi膜2の表面凹凸の平均面粗さ(Ra)を測定すると5nm程度であった。

【0024】なお、絶縁性基板1上にアモルファスSi膜を形成する前に、基板からの不純物拡散の防止のために、SiO₂膜及びポリSi膜のコーティング膜をスパッタリング法あるいはプラズマCVD法により膜厚が約500nm程度を絶縁性基板1上に形成してもよい。また、アモルファスSi膜の形成方法は、プラズマCVD法に限らずLP (Low Pressure) CVD法

でもよい。また、レーザアニールに用いるレーザは、XC1、ArF、KrF、XeFのいずれのエキシマレーザを用いてもよい。また、レーザアニールの前にN₂雰囲気中、600℃で固相成長により、多結晶化してもよい。

【0025】次に、図1(b)に示すように、レーザアニールにより結晶化したポリSi膜2を、アンモニア過水ペル硫酸と酸化セリウムのパッドを用いて2分間の化学機械研磨を行い、表面を平坦化する。ここで、ポリSi膜の膜厚は35nm程度であり、表面凹凸を原子力顕微鏡(AFM)により平均面粗さ(Ra)を測定すると0.25nm程度であった。その後、得られたポリSi膜をエッチングにより所望の形にアイランド化し、研削処理後のポリSi膜2aを形成した。

【0026】次に、図1(c)に示すように、この研削処理後のポリSi膜2a上にゲート絶縁膜となるF原子を含むSiO₂膜3を成膜する。この実施の形態では、F原子を含むSiO₂膜3をTEOSガス(Tetra-Ethyl-Ortho-Silicate, Si(OC₂H₅)₄)ガスとCF₄ガスを用いたプラズマCVD法により、膜厚50nm～150nm程度、例えば100nmの厚みに成膜した。プラズマCVD法による成膜条件は、基板温度300℃、反応圧力1.0 Torr、TEOS流量5sccm、O₂流量200sccm、CF₄流量20sccm、RFパワー200Wで行った。

【0027】なお、F原子を含むSiO₂膜3は、低抵抗化が可能であれば、リモートプラズマCVD法、LP CVD法、AP (Atmospheric Pressure) CVD法等を用いて成膜してもよい。また、TEOSガスの代わりに、SiH₄ガスとO₂ガスを用いてSiO₂膜を成膜してもよい。また、CF₄ガスの代わりにF₂等のF原子を含むガスを用いてもよい。

【0028】次に、図1(d)に示すように、ゲート絶縁膜3上にゲート電極4を形成する。この実施の形態では、ゲート絶縁膜3上に膜厚400nm程度のAlTi膜をスパッタリング法により成膜し、所望の形状にパターニングしてゲート電極4を形成した。なお、ゲート電極4は、Ta、Al、AlSi、AlTi、AlSc等のAlを含む金属を用いることができる。

【0029】次に、ゲート電極4の表面を層間絶縁化して、層間絶縁膜5を形成する。この実施の形態では、層間絶縁膜5の膜厚は、50nm～60nm程度、例えば200nmになるようにした。

【0030】続いて、ゲート電極4及び層間絶縁膜5をマスクとして、研削処理後のポリSi膜2aに不純物元

素(Neh)の場合はリン、Pehの場合はボロン)を自己整合的にドーピングしてソース領域6及びドレイン領域6を形成する。この実施の形態では、不純物元素としてリンを約1～5×10¹⁵ion/cm²の注入量と、10KeV～100KeVのエネルギーでイオンを注入した。この不純物を、室温でレーザパワー300mJ/cm²程度の条件でレーザ活性化することにより、ソース領域6及びドレイン領域6を形成した。

【0031】その後、図1(e)に示すように、ゲート電極4及び層間絶縁膜5を覆うように層間絶縁膜7を形成する。この実施の形態では、膜厚400nm程度のSiO₂膜をTEOSガスを用いたプラズマCVD法あるいはAPCVD法により成膜して層間絶縁膜7とした。次に、ゲート絶縁膜3及び層間絶縁膜7のソース領域6及びドレイン領域6上の部分にコンタクトホールを形成し、層間絶縁膜7上に引き出し電極8を形成してTFTを完成する。この実施の形態では、アルミニウムを用いて引き出し電極8を形成した。さらに、保護膜としてSi₃N₄膜またはSiO₂膜をプラズマCVD法により成膜して、コンタクト部をエッチングした後、ポリSi膜の低抵抗のために、H₂又はH₂プラズマ雰囲気中、約300℃で1時間のアニール処理により、ポリSi膜の水素化を行う。

【0032】図2は、ポリSi膜の膜厚が50nmで平均面粗さ(Ra)＝10nm時に研削を行って、平均面粗さ(Ra)を低減させた時の平均面粗さ(Ra)とTFTのS係数の関係を示す。

【0033】ここで、S係数とは、TFTのドレイン電流-ゲート電圧特性において、ドレイン電流値を一定にするために要するゲート電圧値の割合を示している。よって、このS係数の値が小さいことは、TFTを動作させるのに必要なドレイン電流を得るのに、小さなゲート電圧でよいことを表している。したがって、このS係数が小さい値であることは、TFT特性が良好であること、さらに電力変換損失が小さいため低消費電力化ができること、またTFTの動作速度を高速化することができること等に関係している。

【0034】また、本発明において、ポリSi膜の表面凹凸の粗さは、平均面粗さ(Ra)によって定義される。平均面粗さ(Ra)とは、基準面(指定面の高さの平均値となるフラット面)から指定面までの偏差の絶対値を平均した値であり、数1で表される。

【0035】

【数1】

(5)

$$R_o = \frac{1}{S_o} \iint F(X, Y) - Z_o | dXdY$$

【0036】ここで、 S_o は基板面の面積、 Z_o は基板面の高さ、 $F(X, Y)$ は座標 (X, Y) における指定面の高さを表す。なお、平均面粗さ (Ra) は、原子間力顕微鏡(AFM)によって、1.0μm以下の測定エリアに対して測定された値であれば、サブnmオーダーまでの測定信頼性がある。

【0037】図2によれば、ポリシリコンの表面凹凸を研削したTFTは、ポリシリコンの表面凹凸の未研削のTFTに比べて、S係数が低くなっている。特に、平均面粗さ (Ra) が1nm以下において、S係数が著しく低減していることがわかる。このことから、ポリシリコンの表面凹凸を研削することにより、TFT特性を改善することができ、

【0038】図3は、研削前のポリシリコンの膜厚が20nm～100nm、平均面粗さ (Ra) が3nm～10nmの膜と、研削後のポリシリコンの膜厚が20nm～100nm、平均面粗さ (Ra) を0.3nm程度にした時の膜厚とTFTのS係数の関係を示す。図3によれば、ポリシリコンの膜厚が30nm～50nmのTFTは、S係数が大きく低減していることがわかる。

【0039】このようにしてレーザアニール後にポリシリコンの表面研削を行ったTFT特性は、ポリシリコンの膜厚が30nm～50nmにすることにより、優れた特性と信頼性を備えたTFTを得ることができ、

【0040】さらに、表面研削後の表面凹凸の平均面粗さ (Ra) は、1nm以下に平坦化されていることが好ましく、このことにより、一層優れた特性と信頼性を備えたTFTを得ることができ、

【0041】

【発明の効果】本発明の絶縁性基板上にポリシリコンをチャネルとして用いる半導体装置の製造方法は、前記絶縁性基板上にアモルファスシリコンを100nm以下に形成する工程と、前記アモルファスシリコンをレーザアニールによって多結晶化してポリシリコンとす工程と、前記ポリシリコンの表面凹凸を研削処理により低減する工程を備えているもので、アモルファスシリコンを100nm以下に形成することで、レーザ結晶化の時の結晶粒の偏りがしやすく、さらに研削により平坦化したポリシリコンをチャネルに用いることで、TFTのS係数を小さくすることができ、優れたTFT特性を得ることができ、また、ポリシリコンの平坦化によりポリシリコン表面での電界集中を低減することで、ゲート絶縁膜へのホットエレクトロンの注入に対して強くなるため、リーク電流を低減し、信頼性の優れたTFTを得ることができ、

【0042】また、前記表面凹凸を低減したポリシリコン

は、膜厚を30nm以上にするることにより、ソース領域及びドレイン領域の低抵抗化が可能になり、膜厚を50nm以下にすることにより、レーザアニールによる優れた結晶性を得ることができるので、ポリシリコンの膜厚は30nm～50nmにするのが好ましい。

【0043】また、前記表面凹凸を低減したポリシリコンは、表面凹凸の平均面粗さ (Ra) を1nm以下にしたので、TFTのS係数を著しく低減することができる。さらに、ゲート電圧の印加の際に、ポリシリコン表面での電界集中を抑制し、ゲート絶縁膜へのホットエレクトロンの注入を抑制する効果が大きい。よって、TFTのON電圧を小さくでき、TFTのリークを防止することができ、

【0044】また、絶縁性基板上に、アモルファスシリコンを100nm以下に形成するので、レーザアニールによって、膜厚方向に対してもグレインサイズが大きくなるに結晶化することができ、さらに、ポリシリコンの表面を研削処理により膜厚を30nm～50nmにし、表面凹凸の平均面粗さ (Ra) を1nm以下にするので、研削処理後のポリシリコン表面の結晶状態も研削前と同様にグレインサイズが大きく均一で覆れており、よって、TFTの移動度を大きくすることができ、TFT特性を良好にすることができ、さらにポリシリコン表面が平坦化されているため、ポリシリコン表面での電界集中により発生するホットエレクトロンのゲート絶縁膜への注入を抑制することができ、よって、リーク電流の低減およびゲート絶縁膜の耐圧の低下を抑制し、信頼性の高いTFTを得ることができ、

【0045】また、絶縁性基板上に、ポリシリコンを膜厚が30nm～50nmで形成し、前記ポリシリコンの表面凹凸の平均面粗さ (Ra) を1nm以下にし、前記ポリシリコンをチャネルとして半導体装置を構成したので、ポリシリコンは、結晶状態に覆れ、表面状態が平坦化されているため、素子特性及び信頼性に優れた半導体装置を得ることができる。さらに、この半導体装置を用いた液晶表示装置においては、面蒸着タイプのTFTの高性能化及び高集積化を達成することができ、ドライバモノリシック型の液晶表示装置においても高性能化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るチャネルポリシリコン及びTFTの製造方法を示す工程断面図である。

【図2】本発明の実施の形態及び比較例により作製した表面研削前後のTFT特性におけるS係数の表面凹凸依存性を表す説明図である。

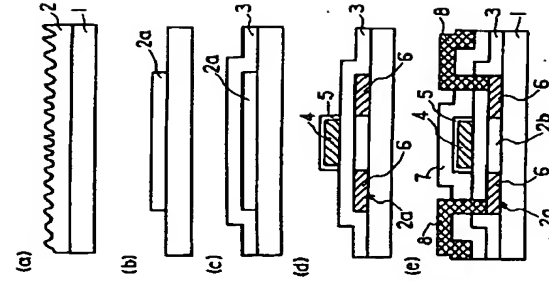
(6)

【図3】本発明の実施の形態及び比較例により作製した表面研削前後のS係数の膜厚依存性を表す説明図である。

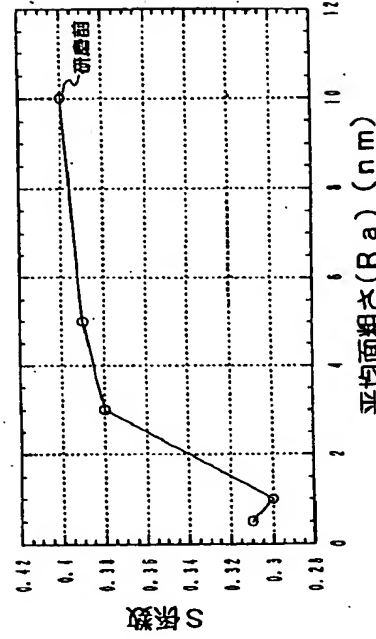
【符号の説明】

- 1 絶縁性基板
- 2 ポリシリコン
- 2a 研削処理後のポリシリコン

【図1】



【図2】



(7)

【図3】

